

# PATENT ABSTRACTS OF JAPAN

(12) Laid-Open Publication

(51) Int. Cl.  
H 03 H 7/25

(11) Publication number: **4-75423**

(43) Date of publication of application: **01.07.1992**

---

(21) Application number: 2-119595

(22) Date of Filing: 14.11.1990

---

(54) Title of invention: Construction of a circuit of an attenuator

(57) Abstract:

Claim :

An attenuator circuit having a diode is disclosed to vary an amount of attenuation. The attenuator circuit includes an impedance matching resistor, a parallel circuit of a condenser having self-resonance characteristics almost the same as a signal frequency, and a diode connected in series with the parallel circuit.

**BEST AVAILABLE COPY**

28. Feb. 2005 15:49

S. YAMAMOTO OSAKA

KeterehcnO. 0391 P. 5/35

S. YAMAMOTO OSAKA

# 公開実用平成 4-75423

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑨ 公開実用新案公報(U)

平4-75423

⑫ Int. Cl. \*

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月1日

H 03 H 7/26

8321-5 J

審査請求 未請求 請求項の数 1 (全 頁)

⑭ 考案の名称 アツテネータの回路構成

⑮ 実 願 平2-119595

⑯ 出 願 平2(1990)11月14日

⑰ 考 案 者 外 村 文 男 滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社 内

⑱ 出 願 人 関西日本電気株式会社 滋賀県大津市晴嵐2丁目9番1号

89 90 91 92

## 明 細 書

## 考案の名称

## アッテネータの回路構成

## 実用新案登録請求の範囲

ダイオードで構成された減衰量可変のアッテネータ回路であって、前記のアッテネータ回路の信号路とGND間に、インピーダンス整合用抵抗と信号周波数に略等しい自己共振特性を有するコンデンサとの並列回路、それに直列に接続するダイオードを有することを特徴とするアッテネータの回路構成。

## 考案の詳細な説明

産業上の利用分野

この考案はアッテネータ回路、特にPINダイオードを用いた減衰量可変のアッテネータ回路の回路構成に関する。

従来の技術

## 公開実用平成 4-75423

従来より、高周波機器のゲイン等を可変するための回路としてPINダイオードを用いた減衰量可変のアッテネータ回路がしばしば利用される。例えば180MHz帯で用いられる減衰量可変π型アッテネータ回路について第3図から第6図を用いて説明する。

第3図に示す端子には、一定の電圧 $V_{REF}$ が与えられており、端子2に加える電圧 $V_0$ によってPINダイオードPIN 1~PIN 4に流れる電流量を変化させ、PINダイオードの高周波抵抗値が素子を流れる電流量によって変化する特性を利用することにより減衰量を可変することができる。 $V_C = 0V$ （もしくはマイナス電圧）の時、PINダイオードPIN 1, PIN 2の高周波抵抗値が数 $\Omega$ となる電流（通常10mA程度）を流すことのできる電圧を $V_{REF}$ に選んでおくとする。 $V_C = 0V$ の時は、第3図b・a間、b・c間には上記に示すように設定した電圧 $V_{REF}$ が印加され、PINダイオードPIN 1, PIN 2の高周波抵抗値は非常に小さくなる。またこのとき、同図のa・d

間、 $c \cdot e$ 間は、電圧が加わらず、PINダイオードPIN 3、PIN 4の高周波抵抗値は非常に大きくなる。つまり、等価的に第4図に示す回路となるため、入力端子IN-出力端子OUT間に最も信号を通す。 $V_C \geq V_{REF}$ となると、同図の $b \cdot a$ 間、 $b \cdot c$ 間は逆バイアスとなり、PINダイオードPIN 1、PIN 2の高周波抵抗値は非常に大きくなる。またこのとき、 $a \cdot d$ 間、 $c \cdot e$ 間は $V_C$ と、インピーダンス整合用抵抗 $R_1$ 、 $R_2$ で決まる電圧が印加され、PINダイオードPIN 3、PIN 4の高周波抵抗値は非常に小さくなる。つまり等価的に第5図に示す回路となるため、最も信号が減衰する。このようにして $V_C$ を変化させることにより、減衰量は第6図aのグラフのように変化する。 $V_C$ をある電圧以上加えても減衰量は変化しなくなり、この減衰量 $g$ がその回路の最大減衰量となる。

#### 発明が解決しようとする課題

ところで、このようなPINダイオードを用いた減衰量可変のアッテネータ回路を高い周波数帯

## 公開実用平成 4-75423

(1GHz以上)で使用すると、第3図d点(およびe点)とGNDまでの距離(抵抗の長さ、パターンの大きさ等)がインダクタ成分として働き、信号路とGND間のインピーダンスが下がり切らないため、十分な最大減衰量が得られないという問題があった(第6図b参照)。

問題を解決するための手段

この考案は、上記の問題を解決するための回路構成であり、前記のような減衰量可変のアッテネータ回路の信号路とGND間に入れられたPINダイオードと直列に(インピーダンス整合用抵抗と並列に)コンデンサを設け、そのコンデンサの自己共振を利用することにより、高い周波数帯で従来の回路より大きな最大減衰量を得たことを特徴とするアッテネータの回路構成である。

作用

上記の構成によると既存の回路内に数個のコンデンサを追加することにより、そのコンデンサの自己共振を利用して高い周波数帯で従来の回路より大きな最大減衰量が得られる減衰量可変のアッ

テネータ回路が構成できる。

#### 実施例

以下、本考案にかかる実施例を第1図および第7図を参照して説明する。第1図はこの考案の一実施例、 $\pi$ 型減衰量可変アッテネータの回路図、第7図は角チップコンデンサの共振特性を示す。第1図において、すべての回路はチップ部品で構成されている。1a, 1bは角チップコンデンサであり、信号路とGND間に入れられているPINダイオードPIN 3, PIN 4と直列に（インピーダンス整合用抵抗R1, R2と並列に）配置されている。このコンデンサは、次に示す計算によって決まる容量値で、その共振特性は第7図aにリターンロス|S11|の周波数特性として示すようになっている。なお、第7図bに測定法を示す。共振する容量値Cは、使用周波数を $f_0$  GHz, チップの長さによるインダクタンスをL（通常0.6 nH/㎜程度）とすると、

$$C = 1 / \{ (2\pi)^2 \cdot L \cdot (f_0 \times 10^9)^2 \} \quad (F)$$

で与えられる。

## 公開実用平成 4-75423

次に第1実施例の動作について説明する。

入力端子INから入力された信号は、VCを大きくすることによって、PIN 3, PIN 4に流れる電流が大きくなり、高周波抵抗値が小さくなるため信号が減衰する。さらに、信号周波数に共振点を持つコンデンサ1a, 1bにより信号は減衰し、その結果従来の回路以上の最大減衰量を得ることができる(第8図c参照)。

ここに第8図cにおいて点線11で示すように最大減衰量 $g'$ は大きくとれるが、インピーダンスが小さくなりすぎてマッチング上不具合となる場合も起こる。この場合は共振点を少しずらしたコンデンサを選び、実線10で示すグラフのように最大減衰量 $g'$ を少し小さくすることになるが、インピーダンスマッチングとのバランスの上で選択する。

#### 実施例2

第2図はこの考案の第2実施例、L型減衰量可変アッテネータの回路図である。この実施例は、前記の第1実施例ほどの減衰量を必要としない場



合に使用する回路である。第1実施例と同様、信号路とGND間に入れられているPINダイオードPIN 2と直列にコンデンサ1aを配置することにより、その自己共振によって従来の回路より大きな最大減衰量を得ることができる。

本考案は以上の実施例に限定されることなく、信号路とGND間にPINダイオードを配置することによって、減衰量を可変するアッテネータ回路であれば適用できる。

#### 考案の効果

以上、説明したように本考案は既存の回路内に数個のコンデンサを追加することにより、容易に従来の回路よりも大きな最大減衰量を得ることができる。

#### 図面の簡単な説明

第1図は本考案にかかる $\pi$ 型減衰量可変アッテネータ回路の回路図、第2図は本考案の第2実施例のL型減衰量可変アッテネータ回路の回路図、第3図は従来のアッテネータ回路の回路図、第4

**公開実用平成 4-75423**

図、第5図は第3図の回路の減衰量大、小時の等価回路、第6図は第3図のアッテネータ回路の減衰特性、第7図は本考案に用いるチップコンデンサの共振特性である。

1 a, 1 b ……コンデンサ、

R 1, R 2 ……インピーダンス整合用抵抗、

PIN 1, 2, 3, 4 ……PINダイオード。

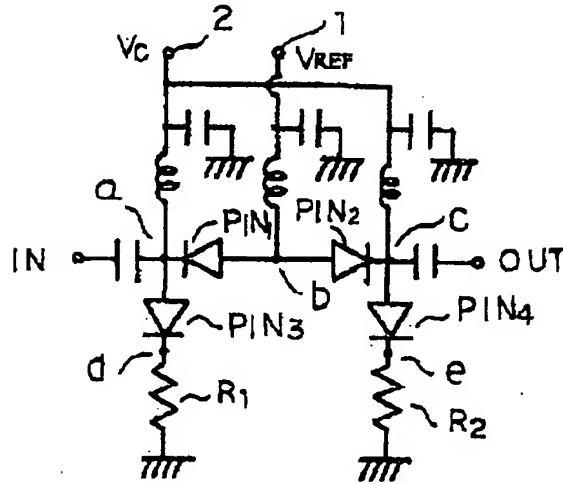
実用新案登録出願人

関西日本電気株式会社

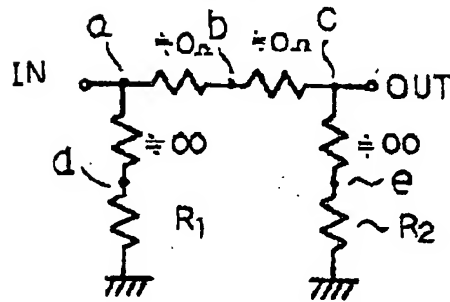




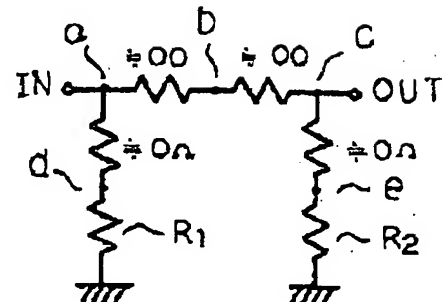
公開実用平成 4-75423



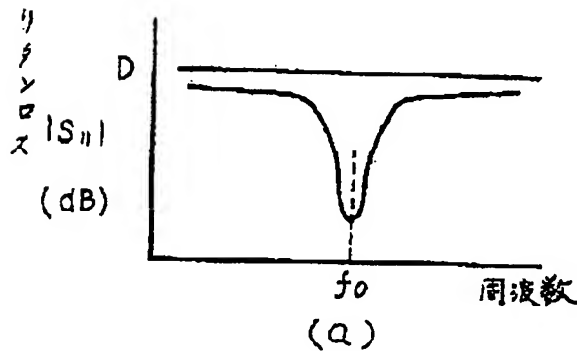
第 3 図



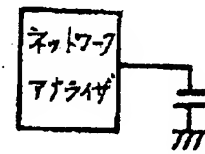
第 4 図



第 5 図



第 7 図



(b)

実用新案登録出願人

295 実開 75  
関西日本電気株式会社

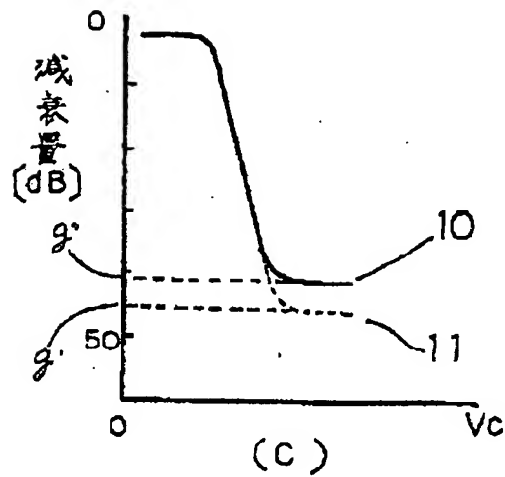
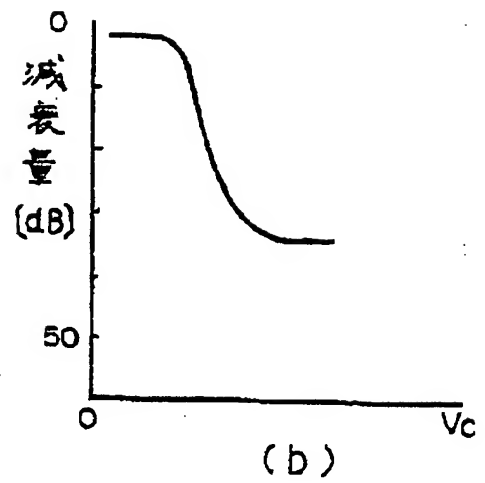
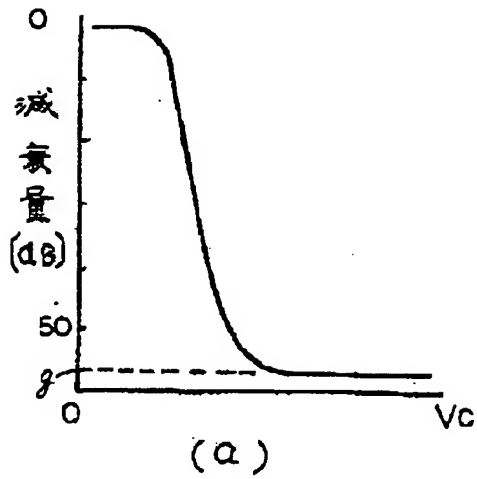


図 6

296

実開 1 - 75123

実用新案登録出願人

関西日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**